PATENT ABSTRACTS OF JAPAN

(11)Publication number:

10-013003

3a ダミー」 現代代記述パターン

13(13点 4パン5

(43)Date of publication of application: 16.01.1998

(51)Int.CI.

H05K 3/32 H01L 21/60 H01L 23/12 H01L 23/14

(21)Application number: 08-184224

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing:

26.06.1996

(72)Inventor: KISHIGAMI MASAMITSU

(54) SEMICONDUCTOR DEVICE

(57)Abstract: PROBLEM TO BE SOLVED: To improve the connection reliability between the bump of a semiconductor chip and the connection pad of a

circuit board. SOLUTION: A part of an upper inside wiring pattern 3 is arranged at the lower side of a right-side connection pad 5a via an upper insulation film 4 made of an elastically deformable epoxy resin, and a dummy upper inside wiring pattern 3a is arranged at the lower side of a left-side connection pad 5b via the upper insulation film 4, thus making equal the film thicknesses of the upper insulation film 4 below both the connection pads 5a and 5b. As a result, the upper insulation film 4 below both the connection pads 5a and 5b is compressed equally when a semiconductor chip 11 is mounted on a circuit substrate 1 via an anisotropic conductive adhesive 14 along with heated pressurization, thus making equal the connection reliability between a right-side gold bump 13a and the

connection pad 5a below it and that between a left-side gold bump 13b and the connection pad 5b below it.

LEGAL STATUS

27.03.1997 [Date of request for examination]

15.12.1998 [Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-13003

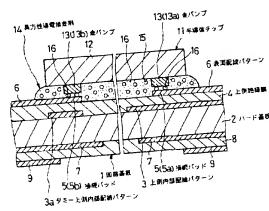
(43)公開日 平成10年(1998) 1月16日

				(40) 2111			
H01L 21	./32 ./60 3/12 3/14	識別記号 311	庁内整理番号	FI H05K 3/3 H01L 21/ 23/ 23/	60 12 14	B 311S Q R 請求項の数5 F	技術表示箇所 D (全 5 頁)
(21)出願番号(22)出顧日		特顯平8-184224 平成8年(1996) 6	5月26日	(71) 出願人 (72) 発明者	000001 カシオ東京都岸上東京	1443 計計算機株式会社 都新宿区西新宿2丁! 政光 都青梅市今井3丁目 機株式会社青梅事業 土 杉村 次郎	10番地6 カシ

(54)【発明の名称】 半導体装置

【課題】 半導体チップのバンプと回路基板の接続パッ (57)【要約】 ドとの間の接続信頼性を良くする。

【解決手段】 右側の接続パッド5aの下側には弾性変 F:可能なエポキシ樹脂からなる上側絶縁膜4を介して上 側内部配線パターン3の一部が配置され、左側の接続パ ハド5 bの下側には上側絶縁膜4を介してダミー上側内 部配線パターン3aが配置されている。これにより、両 接続パント5a 5b下の上側絶縁膜4の膜厚は同じと なる。このため、半導体チップ11を異方性尊電接着剤 1 4を介して回路基板1上に加熱加圧を伴って実装する とき、両接続ハッド5a.5b下の上側絶縁膜4が同等 に圧縮されることになる。この結果、右側の金パンプ1 3aとそり下の接続バッド5aとの間の接続信頼性と左 側の金パンプ13bとその下の接続パッド5bとの間の 接続信頼性とを同等とすることができる。



【特許請求工範囲】

基板の上面及びこれ基板の上面に形成さ 【請求項1】 れた内部配線パター、の上面に形成された絶縁膜の長面 に複数の接続パットを含む表面配換パターンが形成され でなる回路基板の前記複数と接続、「下に半導体チープ の複数がついてを接続してなる半導体装置において、前 記複数万接続パッドのオペでの下側に前記内部配線パタ ーンの一部を位置させたことを特徴とする半導体装置。

パットの下側に位置する前記内部配線パターンの一部は 10 続パッド5に適宜に弾性変形した尊電性粒子15を介し ダミー内部配線パターンからなることを特徴とする半導 体装置

【請求項3】 請求項1 または2 記載の発明において、 前記絶縁膜にエポキシ樹脂からなることを特徴とする半

導体装置 【請水項4】 請水項1~3のいせれかに乳蔵の発明に おいて、前記パンプは金パンプからなることを特徴とす る半導体装置。

【請水項5】 請求項1~4のいずれかに記載の発明に おいて、前記パンプと前記接続パッドとの接続は、前記 半導体チップと前記回路基板との間に全化された異方性 導電接着側の導電性粒子を介しての接続であることを特 徴とする半導体装置。

【発明の詳細な説明】

[0001]

【発明小属する技術分野】この発明は半導化装置に関 し、特に、半導体チップを回路基板上に実装してなる半 導体装置に関する。

[0002] 【证案少技術】例之ばMCM(multi chip module)と呼 ばれる半導体チュアの実装技術では、1つの回路基板上 に複数の半算体チップを直接搭載している。この場合、 回路県板としては、多層配線構造のも外を用いる場合が 多い、図5は従来のこのような牛薬体装置の一部を示し たもわである。回路襲板1は、ガラスエポキシ等からな 5 ハート基板2 カヒ面に上側内部配換パターン3が形成 され、その上面全体にエボキ、樹脂からなる上側絶縁膜 4か形成され、その上面に複数の接続パット3を含む表 面配線パターショが形成され、パード基板2の下面に下 御内部配線パターン アが形成され、その下面主体にエポ **ニ、樹脂からなる下側絶縁膜ドが形成され、その下面に** 裏面配線パターンりが形成された構造となっている。こ の場合 図示していないか、表面配線パターショと上側 内部配停。ター、3とは上側絶縁膜4内に形成されたコ 」 タフトオール 乗通部を介して接続され、 上側内部配線 - 19 - シ3と下側内部配線 / ターシアとはハード基板2 内に形成されたスルーナール導通器を介して接続され、 下側内部配ტ/ターンでご裏面配換/ターン9とは下側 絶縁機8四に形成されたコンタットホール導通部を介し prest sections

【①003】一方、半導体チップし1は、チップも体1 2の下面周辺部に複数の金ペンプ13が形成された構造 となっている。この半導体チィブ11は回路書板1上に 異方性尊電接着剤14を介して実装されている。 異方性 導電接盲組14は、表面に全属被膜が施された樹脂粒子 等からなる尊電性粒子15を絶縁製接着網16中に視入 したものからなっている。そして、回路 皆板 1 止に異方 性導電接着剤14を介して半導体チップ11を位置合わ せして載置した後、加熱加圧すると、金ペンプ13が接 に接着剤16を介して接着される。かくして、半導体チ

シブ11は回路基板1上に実装されている。 【0004】ところで、一例として、半導体チップ11 の下面が図6に示すようになっているとする、すなわ ち、半章体チップ11のチップ 4体12が平面長方形状 であって、その下面の長手方向両端部に4つずつの金パ シブ13が配置されているとする。すると、回路基板1 の接続パッド5は、半導体チップ11の危バンプ13に 20 対応して配置される関係から、図7に示すように配置さ れている。すなわち、図でにおいて点線で囲まれた長方 形状の領域は半導体チョア搭載エリアを示すが、この半 導体チュブ搭載エリア内の長手方向両端部に4つすつの 接続パット5が配置されている。しかるに、回路基板1 の上側内部配線パターン3は、直接的には半導体チップ 11の全パンプ13の配置と無関係であるので、例えば 図8に示すように配置されているとする。すたわち、図 8において点線で囲まれた長方形状の領域は半導体チン び搭載エリアに対応する領域を示すが、この領域内の右 端部であって図7の右側のすべての接続パッド5に対応 する位置に上側内部配線パターン3の各一部が配置さ れ、同領域内の左端部であって図7の左側の所定の2つ ∀接続パッド5に対応する位置にのみ上側内部配線バタ …)3の各一部が配置されているとする。すると、この 半導体装置の図8 A X - X - X - X におう部分に対応する断面 図はMG5に示すようになる。この場合、右側の接続パッ ドちょの下側には上側内部配線パターン 3 ケー部が配置 されているが、左側が接続パッドももの下側には上側内 部配線パターン3が配置されていないことになる

【0005】ところで、回路基板1のエボキン樹脂から なる上側絶縁膜4は、無性変形可能であるので、加圧さ れると、圧縮されて薄(なる)このため、団路特板1上 に異方性導電接着剤14を全して中導体チュブ11を位 置合わせして載置した仮。加熱加圧する際に、接続バツ トラコ、56下の上側絶縁膜4が適宜に圧縮されて薄く たら、しかるに、図りに手すように、右側の接続ペッド チョウ下側に上側内部配線 バターショの 一部が配置され ているが、左側の接続シードももで下側に上側内部配線 - ,ターン3が配置されていない場合には、左側の接続バ 一手立上で、上側近点数4小数度は台側では近く一手方

a 下の上側絶縁膜4 の膜厚よりも上側内部配過パター) 3の厚さの分だけ厚くなっている。すると、左側の接続 パット55ドの上側絶縁膜4の圧縮量は右側の接続パン ドラュ下の上側絶縁膜4の圧縮量よりも大きくなる。換 言すれば、上側絶縁膜4はその圧縮量に応じて加圧力を 吸収することになるので、左側の接続バッド5h下の上 側絶縁膜4の加圧力吸収は右側の接続パンド5a下のエ 側絶縁膜4の加圧力吸収よりも大きくなる。この結果。 右側の全パンプ13aヒその下の接続パッド5aヒの間 に加わる圧力が所期値であるとすると、左側の金ペンプ 136とその下の接続バッド56との間に加わる圧力が 所期値よりも小さくなる。

[0006]

【発明が解決しようとする課題】このように、右側の金 パンプ13aヒその下の接続パッド5aとの間に加わる 圧力が所期値であっても、左側の金パンプ13bとその 下の接続パッド5bとの間に加わる圧力が所期値よりも 小さくなることがある。すると、右側の全ペンプ13a とその下の接続バット5 a との間に介在された導電性粒 ることより、対応する金パンプ13aと接続パット5a に面接触することになる。しかしながら、左側の金パン で13 b とその下の接続パッド 5 b との間に介在された 尊電性粒子15は、所期値よりも小さい圧力を受けるか で、所期の通り弾性変形せず、対応する金パンプ13b と接続パッド5トに点接触することになる。この結果、 全体的に見て、金ペンプ13と接続バッド5との間の接 続信頼性が良いとはいえないという問題があった。 この 発明の課題は、半尊体チップのヘップと回路基板の接続 ベットとの間の接続信頼性を良くすることである。

[0007]

【課題を解決するための手段】この発明は、基板の上面 及びこの基板の上面に形成された内部配線パターンの上 面に形成された絶縁膜の表面に複数の接続パットを含む 表面配線 ペターンが形成されてなる回路 基板の前記複数 の接続パッドに半導体チップの複数のパンプを接続して なる半導体装置において、前記複数の接続パットのすべ ての下側に前記内部配線パターンの一部を位置させたも 小である.

へての下側に内部配線パターンの一部を位置させている 小で、すべての接続パッド下の絶縁膜の膜障が同じとな り、このため半導体チンプを回路階板上に加圧を伴って 実装するとき、すべての接続パット下の絶縁膜が同等に 圧縮されることとなり、この結果半算体チャブからって と回路基板小接続イトドとの間の接続信頼性を良っする ことがてきる。

[(0009]

【発明の実施の生態】図1はこの発明の「実施・態にお いる 水量体装置 内容調を乗り込むものに乗る。 これ名はおしかし そもり むれせい 無之ば、見がちていないの、きゅぎり

いて、図5と同一部分には同一の符号を付し、それ説明 を適宜省略する。この実施形態における半導体チップ 1 10万面は、図りに子すように、図らに示す従来の場合 と同じとなっている。回路基板100表面は、図3に示す ように、図でに示す使味の場合と同じとなっている。ハ ード基板2万上面は、図4に示すように、図8に示す値 来の場合と若干異なっている。すなわち、図4において 点線で囲まれた長方形状の領域は半尊体チップ搭載エリ アに対応する領域を示すが、この領域内の右端部であっ 10 て図3の右側のすべての接続パッド5に対応する位置に 上側内部配線パターン3の各一部が配置され、同領域内 の左端部であって図3の左側の所定の2つの接続パット 5に対応する位置にのみ上側内部配線パターン3の各一 部が配置され、同領域内の左端部であって図るの左側ル 残りのとつの接続ゴラド5に対応する位置にのみダミー 上側内部配線パターン3aが配置されている。このた め、この半導体装置の図すのY-Y線に宿う部分に対応 する断面図は図1に示すようになる。すなわち、右側の 接続パッド5aの下側には上側内部配線パターン3の一 子15は、所期値の圧力を受けて所期の通り弾性変形す。20、部が配置され、左側の接続パッド5bの下側にはダミー 上側内部配線パターンはaが配置されている。

【0010】このように、この半導体装置では、右側の 接続パッド5aの下側に上側内部配線パターン3の一部 を配置し、左側の接続パッド5bの下側にダミー上側内 部配線バターン3aを配置しているので、すべての接続 パッド5a.5hドの上側絶縁膜4の膜厚が同じとな る。このため、半導体チップ11を異方性導電接着剤1 4を介して回路基板 1 上に加熱加圧を伴って実装すると き、オープの接続パンド5a、5b下の上側絶縁膜すが 30 同等に圧縮されることになる。この結果、右側の全ペン で13aとその下の接続パッド5aとの間の接続信頼性 と左側の金パンプ13bとその下の接続パット5bとの 間の接続信頼性とを同算とすることができる。したがっ て、丰厚体チップ11のハンプ13と回路基板1の接続 ット3との間の接続信頼性を良くすることができる。 【0011】ここで、具体的な寸法の一例について説明

する。ダミー上側内部配得バダーン3aを含む上側内部 配牌(ターン3及び下側内部配線(ターン7は銅箔をエ ッチンプしたものからなり、その際さは15~20 a m 【0008】この発明によれば、複数の接続パッドのサー40 程度となっている。接続パット5を含む長面配線パター シ 6 及び裏面配線パターン まは鋼箔をエッチングしたち がからなり、そが厚さは15~40cm程度となってい る。上側絶縁膜4及り下側絶縁膜8はエポキン樹脂を印 副または適毎したものからなり、その厚さはダミー上側 内部配線、ターンの含を含む上側内部配線パター、3及 た 下側打部配線/ ターシテゔ無いところで40~30ヵ 品程度となっている

【0012】なお。上記実施形態では異方性導電接着剤 1.4 を用いた場合について説明したか。これに限定され

ド5の表面にオポメッキ層を形成し、これに金パンプ1 3を共晶接合するようにしてもよい。また、接続パッド 5の表面に食メッキ層を形成し、これに食パンプ 13を 金属拡散接合するようにしてもよい。 さらに、半導体チ ップのバレマの料料は金に限らず、銅やニッケル等であ ってもよい。

[0013]

【発明の効果】以上説明したように、この発明によれ は、内部配線パターンの各一部を複数の接続パラドのす べての下側に位置させているので、すべての接続パッド 10 2 ハード基板 下の絶縁膜の膜厚が同じとなり、このため半導体チップ を回路基板上に加圧を伴って実装するとき、すべての接 続パリド下の絶縁膜が同等に圧縮されることとなり、こ の結果半導体チャプのバンブと回路基板の接続パッドと の間の接続信頼性を良くすることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態における半導体装置の要 部の断面図。

【図2】図1に示す半導体チョブの底面図。

【図3】図1に示す回路基板の平面図。

【図4】図1に示すハード基板の平面図。

【図5】従来の半導体装置の一部の断面図。

【図6】図5に示す半導体チップの底面図。

【図7】図5に示す回路基板の平面図。

【図8】図5に示すハード基板の平面図。

【符号の説明】

1 回路基板

3 上側内部配線パターン

3 a ダミー上側内部配線パターン

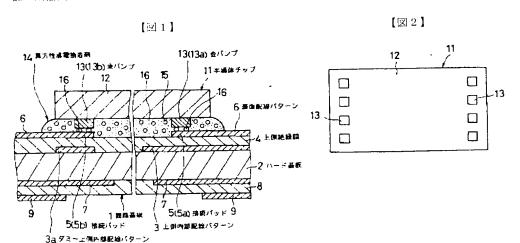
4 上側絶縁膜

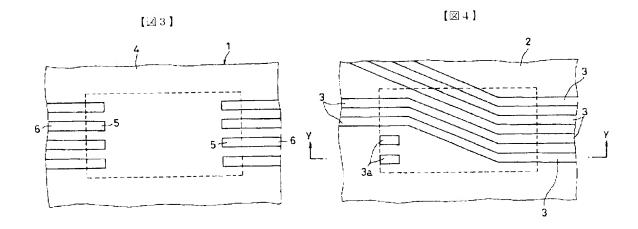
5 接続パッド

11 半尊体チップ

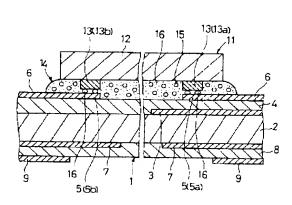
13 金パンプ

14 異方性導電接着剤

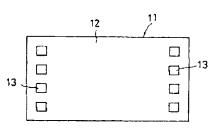




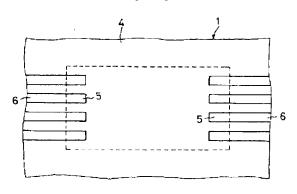
【図5】



【図6】



[図7]



【図8】

